

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

05



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Übersetzung der
europäischen Patentschrift

⑤1 Int. Cl.⁵:
G 06 K 19/06
G 06 K 7/08

⑧7 EP 0 281 142 B1

⑩ **DE 38 83 267 T 2** *K 46132*

- ②1 Deutsches Aktenzeichen: 38 83 267.4
- ⑧6 Europäisches Aktenzeichen: 88 103 315.3
- ⑧6 Europäischer Anmeldetag: 3. 3. 88
- ⑧7 Erstveröffentlichung durch das EPA: 7. 9. 88
- ⑧7 Veröffentlichungstag
der Patenterteilung beim EPA: 18. 8. 93
- ④7 Veröffentlichungstag im Patentblatt: 21. 4. 94

DE 38 83 267 T 2

③0 Unionspriorität: ③2 ③3 ③1
06.03.87 JP 52692/87

⑦3 Patentinhaber:
Omron Tateisi Electronics Co., Kyoto, JP

⑦4 Vertreter:
Wilhelms, R., Dipl.-Chem. Dr.rer.nat.; Kilian, H.,
Dipl.-Phys. Dr.rer.nat.; Pohlmann, E., Dipl.-Phys.,
Pat.-Anwälte, 81541 München

⑧4 Benannte Vertragsstaaten:
AT, BE, DE, ES, FR, GB, GR, IT, LU, NL, SE

⑦2 Erfinder:
Fujisaka, Hisato Omron Tateisi Electronics Co,
Nagaokakyo-shi Kyoto 617, JP; Tsujino, Koichi
Omron Tateisi Electronics Co, Nagaokakyo-shi Kyoto
617, JP; Shimada, Tunetaka Omron Tateisi
Electronics Co., Nagaokakyo-shi Kyoto 617, JP

⑤4 Gegenstand-Identifizierungssystem.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 38 83 267 T 2

Beschreibung

Die vorliegende Erfindung bezieht sich auf ein Artikelidentifikationssystem, welches zur Verwaltung von Werkzeugen einer Werkzeugmaschine oder von Teilen oder Produkten in einer Fabrik oder zur Identifikation von Artikeln in einem Verteilungs- oder Auslieferungssystem oder dgl. verwendet wird.

Beschreibung des Standes der Technik

Bislang ist es zur Automatisierung der Verwaltung von Werkzeugen einer Werkzeugmaschine, zur Identifikation von Teilen oder Produkten auf Montage- und Transportbändern in einer Fabrik, oder dgl., notwendig, eine Einrichtung zur Identifikation und Verwaltung verschiedener Arten von Artikeln, wie Werkzeugen, Teilen, Produkten und dgl. zu verwenden. Als solch ein herkömmliches Verwaltungssystem ist ein System bekannt, bei welchem Etiketten mit Balkencodes oder dgl. auf festzustellende Gegenstände geklebt werden, um so die Gegenstände zu identifizieren und zu verwalten, oder ein System, bei welchem eine Gruppe von Magneten, die Daten durch einen Binärwert darstellen, an einem zu identifizierenden Objekt angebracht wird, wobei die Polaritäten bestimmter Magnete von außen umgekehrt werden, wodurch sich Daten ergeben. Diese Systeme haben jedoch insofern Probleme, als es schwierig ist, Daten umzuschreiben, die Zuverlässigkeit von Daten gering ist und die Informationsmenge, die sich halten läßt, klein ist.

Zur Beseitigung dieser Probleme wurde bereits ein Artikelidentifikationssystem vorgeschlagen, bei welchem ein Speicher für

ein zu identifizierendes Objekt vorgesehen ist, notwendige Information vorab in dem Speicher durch Datenübertragung eines Kontakttyps oder Basisbandtyps gespeichert und diese Information nach Bedarf ausgelesen wird.

Ein solches herkömmliches Identifikationssystem hat jedoch insofern Nachteile, als zum Aufrechterhalten der Daten in dem Speicher eine Stützbatterie benötigt wird, es für die Verwaltung mühsam ist und die Stoß- und Schwingungsfestigkeit gering ist. Wenngleich ein System des Kontakttyps oder ein System des kontaktlosen Typs als Datenübertragungssystem in Betracht gezogen wird, hat das System des Kontakttyps insofern Probleme, als die Positionierung exakt durchgeführt werden muß, fehlerhafte Kontakte in den Kontaktabschnitten leicht auftreten und Daten nicht sicher umgeschrieben werden können.

Andererseits enthält das System des kontaktlosen Typs ein herkömmliches Basisbandsystem, in welchem elektromagnetische Wellen oder dgl. auf der Grundlage eines zu übertragenden Digitalsignals intermittiert werden, womit das Übertragungssignal und elektrische Leistung auf eine Speichereinheit gegeben werden, die an einem Artikel angebracht ist. Bei diesem System besteht jedoch insofern ein Problem, als die Zuverlässigkeit gering ist. Gemäß der Datenübertragung durch das Basisbandsystem bestehen außerdem insofern Nachteile, als der Zuführwirkungsgrad der elektrischen Leistung an den Speicher gering ist und der Speicher selbst eine Spannungsquelle erfordert, weil die Frequenz niedrig ist und die elektromagnetischen Wellen intermittiert werden. Ferner besteht auch insofern ein Problem, als der Ausgangspegel einer Empfängerschaltung für elektromagnetische Wellen schwankt und die Zuverlässigkeit niedrig ist, wenn sich Metallmaterial oder dgl. dem System nähert.

Ein Identifikationssystem gemäß dem Oberbegriff des Patentanspruchs 1 ist aus DE-A-3 427 581 bekannt. Ein ähnliches System ist aus WO-A-8 604 171 bekannt.

Es ist eine Aufgabe der vorliegenden Erfindung, ein Artikelidentifikationssystem des kontaktlosen Typs zu schaffen, welches eine hohe Zuverlässigkeit aufweist.

Eine weitere Aufgabe der Erfindung ist es, die Verwendung einer Spannungsquelle einer an einem Artikel angebrachten Einheit überflüssig zu machen.

Eine weitere Aufgabe der Erfindung ist es, die Datenübertragungszuverlässigkeit auch dann zu verbessern, wenn sich bei der Übertragung von Signalen Metallmaterial oder dgl. genähert hat.

Gemäß der Erfindung wird ein Artikelidentifikationssystem geschaffen, wie es im Patentanspruch 1 definiert ist.

Die die Resonanzschaltung und den Speicher enthaltende ID-Vorrichtung wird an einem zu identifizierenden Artikel angebracht. Der Oszillator im Schreib/Lese-Steuergerät setzt die Oszillation dauernd fort. Wenn die ID-Vorrichtung eine bestimmte Stelle erreicht hat, wird ein in der Resonanzschaltung erhaltenes Hochfrequenzsignal gleichgerichtet und geglättet, so daß die Gleichspannungsquelle der ID-Vorrichtung stabil zugeführt wird. Die notwendigen Daten werden auf die ID-Vorrichtung durch FSK-Modulation (Frequenzmodulation mit Frequenzumtastung), d.h. durch diskontinuierliches Ändern der Oszillationsfrequenz des Oszillators des Beschreib/Lese-Steuergeräts übertragen. Die ID-Vorrichtung identifiziert die Daten durch Empfang und Demodulation des Signals und schreibt die notwendigen Daten in den Speicher oder liest die notwendigen Daten aus einer bestimmten Adresse des Speichers aus und ändert die Resonanzfrequenz der Resonanzschaltung auf der Grundlage der gelesenen Daten. Dadurch unterscheidet sich auf dem Schreib/Lese-Steuergerät eine Last des Oszillators in Zuordnung zu einer Änderung der Resonanzfrequenz. Daher können die Daten auf der Grundlage der Lastschwankung empfangen werden, und diese Daten werden demoduliert, um so die ausgelesenen Daten zu reproduzieren.

Wie oben beschrieben wird der ID-Vorrichtung elektrische Leistung durch Anwendung der elektromagnetischen Kopplung zugeführt und ein FSK-System anstelle des Basisbandsystems verwendet. Die Oszillation wird daher immer fortgesetzt, und ein Hochfrequenzsignal kann ebenfalls verwendet werden. Eine Gleichspannungsquelle kann der ID-Vorrichtung stabil zugeführt werden. Andererseits läßt sich eine Halbduplex-Datenübertragung zwischen der ID-Vorrichtung und dem Schreib/Lese-Steuergerät in einer kontaktlosen Weise durchführen.

Wenn ein elektrisch löschbarer programmierbarer nicht-flüchtiger Speicher als Speicher der ID-Vorrichtung verwendet wird, wird der Dateninhalt, so wie er ist, im Speicher gehalten, auch wenn die ID-Vorrichtung von dem Schreib/Lese-Steuergerät entfernt ist, obwohl der ID-Vorrichtung keine Spannungsquelle zugeführt wird. Wenn die ID-Vorrichtung sich dem Schreib/Lese-Steuergerät nähert, kann die Datenübertragung durchgeführt werden.

Da die Datenübertragung unter Verwendung des FSK-Systems, das eine niedrige Übertragungsfehlerrate hat, durchgeführt wird, läßt sich ferner die Zuverlässigkeit des Signals verbessern.

Ferner umfaßt die ID-Vorrichtung erste Codiermittel zum Codieren der aus dem Speicher durch die Speichersteuermittel ausgelesenen Daten in einen Übertragungscode ohne Gleichspannungskomponente und zum Aufgeben des Codes auf die Datenmodulationsmittel, und erste Decodiermittel zum Decodieren des keine Gleichspannungskomponente aufweisenden codierten Datensignals, das durch die ersten Datendemodulationsmittel demoduliert worden ist. Das Schreib/Lese-Steuergerät umfaßt ferner zweite Codiermittel zum Codieren der auf die ID-Vorrichtung zu übertragenden Daten in Übertragungsdaten ohne Gleichspannungskomponente und zum Aufgeben des Codes auf den Oszillator, und zweite Decodiermittel zum Decodieren des keine Gleichspannungskomponente aufweisenden codierten Datensignals, welches durch die zweite Da-

tendemodulationsmittel demoduliert worden ist.

Das Schreib/Lese-Steuergerät codiert nämlich die zu übertragenden Daten mit dem keine Gleichspannungskomponente aufweisenden Übertragungscode und ändert die Oszillationsfrequenz des Oszillators auf der Grundlage des Übertragungscode kontinuierlich, wodurch die notwendigen Daten auf die ID-Vorrichtung durch die FSK-Modulation übertragen werden. Die ID-Vorrichtung empfängt und decodiert diese Daten, wodurch das Signal diskriminiert wird. Dann schreibt die ID-Vorrichtung die notwendigen Daten in den Speicher. Die ID-Vorrichtung liest die notwendigen Daten an einer bestimmten Adresse des Speichers aus und codiert diese Daten in Übertragungscode, der keine Gleichspannungskomponente aufweist, und ändert die Resonanzfrequenz der Resonanzschaltung auf der Grundlage des Übertragungscode. Auf diese Weise werden die Daten auf das Schreib/Lese-Steuergerät übertragen.

Der keine Gleichspannungskomponente aufweisende Übertragungscode stellt Bi-Phasen-Code, $f/2f$ -Code, Bipolar-Code, Dicode-Code oder dgl. dar und bezeichnet einen Code, bei welchem Pegel, Frequenz, Phase oder dgl. des Signals jedes Datenbit geändert wird.

Da die Daten mit dem Übertragungscode ohne Gleichspannungskomponente codiert sind, können die codierten Daten auch dann durch Feststellen einer Änderung durch das Codieren des Signals genau diskriminiert werden, wenn sich metallisches Material oder dgl. der ID-Vorrichtung bei der Datenübertragung nähert und sich die Resonanzfrequenz der Resonanzschaltung ändert, so daß der Wert der Gleichspannungskomponente des demodulierten Signals schwankt. Nur der Änderungsbetrag kann durch einen Wechselspannungsverstärker auch verstärkt werden. Die Zuverlässigkeit der Datenübertragung ist verbessert.

In der Zeichnung ist bzw. sind

Fig. 1 eine Blockschaltbild, welches den Gesamtaufbau eines

Artikelidentifikationssystem gemäß einer Ausführungsform der Erfindung zeigt,

Fig. 2 ein Blockschaltbild, welches den Aufbau eines Schreib/Lese-Steuergeräts der Ausführungsform zeigt,

Fig. 3 ein Schaltbild, welches den Aufbau eines LC-Oszillators des Schreib/Lese-Steuergeräts zeigt,

Fig. 4 eine Blockschaltbild, welches den Aufbau einer ID-Vorrichtung zeigt,

Fig. 5 ein Schaltbild, welches den Aufbau einer LC-Resonanzschaltung und eines Pegelumsetzers der ID-Vorrichtung zeigt,

Fig. 6 ein Blockschaltbild, welches den Aufbau eines Speichersteuerabschnitts im einzelnen zeigt,

Fig. 7 eine Blockschaltbild, welches ein Beispiel einer Decodierschaltung der Ausführungsform zeigt,

Fig. 8a bis 8f Wellenformdiagramme, welche Wellenformen in betreffenden Abschnitten im Falle der Datenübertragung von dem Schreib/Lese-Steuergerät auf die ID-Vorrichtung des Artikelidentifikationssystem zeigt,

Fig. 9 ein Wellenformdiagramm, welches Wellenformen in betreffenden Abschnitten der Decodierschaltung zeigt,

Fig. 10a bis 10e Wellenformdiagramme, die Wellenformen in betreffenden Abschnitten im Falle der Datenübertragung von der ID-Vorrichtung auf das Schreib/Lese-Steuergerät zeigt,

Fig. 11a ein Schaltbild, welches eine Codierschaltung eines $f/2f$ -Codes zeigt,

Fig. 11b ein Schaltbild, welches ein Beispiel einer Decodierschaltung des $f/2f$ -Code zeigt,

Fig. 12 ein Wellenformdiagramm, welches Wellenformen in betreffenden Abschnitten der in Fig. 11b gezeigten Decodierschaltung zeigt,

Fig. 13a ein Schaltbild, welches eine Codierschaltung eines bipolaren Codes zeigt,

Fig. 13b ein Schaltbild, welches eine Decodierschaltung des

pipolaren Codes zeigt,

Fig. 14 ein Wellenformdiagramm, welches Wellenformen in betreffenden Abschnitten der in den Fig. 13a und 13b gezeigten Schaltungen zeigt,

Fig. 15a ein Schaltbild, welches eine Codierschaltung eines Dicode-Codes zeigt,

Fig. 15b ein Schaltbild, welches eine Decodierschaltung des Dicode-Codes zeigt,

Fig. 16 ein Wellenformdiagramm, welches Wellenformen in betreffenden Abschnitten der in Fig. 15b gezeigten Decodierschaltung zeigt,

Fig. 17 und 18 zeigen eine weitere Ausführungsform,

Fig. 17 ein Blockschaltbild, welches einen Aufbau eines Schreib/Lese-Steuergeräts zeigt, und

Fig. 18 ein Blockschaltbild, welches einen Aufbau einer ID-Vorrichtung zeigt.

Fig. 1 ist ein Blockschaltbild, welches einen Aufbau eines Artikelidentifikationssystems gemäß einer Ausführungsform der Erfindung zeigt. In dem Schaltbild umfaßt das Artikelidentifikationssystem eine Identifiziervorrichtung (im folgenden einfach als ID-Vorrichtung angesprochen) 2 und ein Schreib/Lese-Steuergerät 3 zum Schreiben von Daten in die oder Auslesen von Daten aus der ID-Vorrichtung 2. Die ID-Vorrichtung 2 ist an einem Artikel 1, wie etwa einem Werkzeug, Ersatzteil, Produkt oder dgl., als einem zu identifizierenden Objekt angebracht. Das Schreib/Lese-Steuergerät 3 umfaßt eine Schreib/Lese-Steuervorrichtung 4 und einen Kopf 5. Wenn sich die ID-Vorrichtung 2 dem Schreib/Lese-Steuergerät 3 nähert, werden zwischen ihnen Daten über den Kopf 5 übertragen. Das Schreib/Lese-Steuergerät 3 ist ferner mit einer Ober-Steuereinheit 6 verbunden. Daten werden über das Schreib/Lese-Steuergerät 3 durch die Ober-Steuereinheit 6 in die ID-Vorrichtung 2 eingeschrieben oder aus dieser ausgelesen.

(1) Aufbau des Schreib/Lese-Steuergeräts

Unter Bezug auf das detaillierte Blockschaltbild der Fig. 2 umfaßt die Steuervorrichtung 4 in dem Schreib/Lese-Steuergerät 3: einen Microprozessor (MPU) 11 zur Steuerung der Vorgänge des Schreibens und Lesens von Daten in die bzw. aus der ID-Vorrichtung 2; einen Festspeicher (RAM) 12 zum Speichern eines Systemprogramms des MPU 11; einen Direktzugriffsspeicher (RAM) 13 zum Zwischenspeichern von Daten; eine serielle Schnittstelle 14 zur Durchführung einer Seriell/Parallel-Umsetzung und einer Parallel/Seriell-Umsetzung von Daten zur Ausführung einer seriellen Datenübertragung mit der ID-Vorrichtung 2; eine externe Schnittstelle 15 zur Durchführung der Schnittstelle mit der Obersteuereinheit 6; und eine Anzeigevorrichtung 16. Der MPU 11 überträgt Daten und gibt Befehle auf die ID-Vorrichtung 2 über die serielle Schnittstelle 14 nach Maßgabe eines bestimmten Verarbeitungsprogramms. Die Digitaldaten werden als NRZ (non-return-to-zero) serielles Signal von der seriellen Schnittstelle 14 auf eine Codierschaltung 17 gegeben. Die Codierschaltung 17 besteht aus einer Exklusiv-ODER-Schaltung und wandelt das NRZ serielle Signal in das Bi-Phasen-Signal um. Ein Ausgangssignal der Codierschaltung 17 wird als Steuersignal auf einen LC-Oszillator 18 im Kopf 5 gegeben. Der LC-Oszillator 18 setzt die Schwingung stets fort und ändert die Schwingungsfrequenz ansprechend auf das Steuersignal von der Codierschaltung 17 und arbeitet als Frequenzumtast- (frequency shift keying [FSK]) Modulator. Der LC-Oszillator 18 überträgt über eine Schwingungsspule L_1 ein Signal auf die ID-Vorrichtung 2 und gibt das Schwingungsausgangssignal auf einen Frequenzteiler 19 und eine PLL-Schaltung 20. Der Frequenzteiler 19 formt die Wellenform einer Ausgabe des LC-Oszillators 19 und frequenzteilt das geformte Ausgangssignal, womit ein Taktsignal auf die Codierschaltung 17 und die serielle Schnittstelle 14 gegeben wird.

Die PLL-Schaltung 20 besteht aus einer bekannten Phase-locked-loop-Schaltung. Wenn sich ein Resonanzkreis, der später erläutert wird, der ID-Vorrichtung 2 dem LC-Oszillator 18 nähert und sich seine Last ändert, stellt die PLL-Schaltung 20 eine Änderung der Schwingungsfrequenz des Oszillator 18 fest. Dadurch wirkt die PLL-Schaltung 20 als FSK-Demodulator und erhält das Signal von der ID-Vorrichtung 20. Ein Ausgangssignal der PLL-Schaltung 20 wird über ein Tiefpaßfilter (LPF) 21 einem Verstärker 22 zur Verstärkung der Wechselspannungskomponente zugeführt. Ein Ausgangssignal des Verstärkers 22 wird auf eine Decodierschaltung 23 gegeben. Da das Signal der ID-Vorrichtung 2 biphasen-codiert worden ist, wie noch erläutert wird, wandelt die Decodierschaltung 23 den vom Verstärker 22 abgeleiteten Bi-Phasen-Code in das NRZ serielle Signal um. Ein Ausgangssignal der Codierschaltung 23 und das im Zeitpunkt der Umwandlung gewonnene Taktsignal werden über die serielle Schnittstelle 14 auf den MPU 11 gegeben. Der MPU 11, ROM 12, RAM 13 und die serielle Schnittstelle 14 bilden Datenverarbeitungsmittel zur Übertragung von seriellen Daten, die auf die ID-Vorrichtung 2 zu übertragen sind, und zum Empfangen und Verarbeiten der seriellen Daten, die von ID-Vorrichtung 2 erhalten werden.

Figur 3 ist ein Schaltbild, welches einen detaillierten Aufbau des LC-Oszillators 18 in Kopf 5 zeigt. Wie im Schaltbild gezeigt, ist der LC-Oszillator 18 so aufgebaut, daß ein aus einer Spule L_1 und Kondensatoren C_1 und C_2 bestehender LC-Resonanzkreis mit einem Transistor Tr_1 verbunden ist und ferner ein Transistor Tr_2 und eine Spule L_2 parallel zum LC-Resonanzkreis angeschlossen sind. Ein Transistor Tr_3 , der durch das Ausgangssignal der Codierschaltung 17 gesteuert wird, ist mit der Basis des Transistors Tr_2 verbunden. Wenn die Schalttransistoren Tr_2 und Tr_3 durchgeschaltet sind, ist die Spule L_2 zum Resonanzkreis parallel geschaltet. Wenn die Transistoren Tr_2 und Tr_3 sperren, ist die Spule L_2 vom Resonanzkreis getrennt. Die Schwingungsfre-

quenz des Oszillators 18 kann daher diskontinuierlich geändert (FSK-moduliert) werden. Andererseits sind der Frequenzteiler 19 und die PLL-Schaltung 20 über einen Kondensator C_3 mit dem heißen Ende der Spule L_2 verbunden.

(2). Aufbau der ID-Vorrichtung

Wie in Fig. 4 gezeigt, weist die ID-Vorrichtung 2 einen eine Spule enthaltenen Resonanzkreis, beispielsweise einen LC-Resonanzkreis 31 mit, beispielsweise, einer Spule L_3 und einem Kondensator C_4 auf. Der LC-Resonanzkreis 31 kann die Resonanzfrequenz durch intermittierendes Trennen eines Parallel-Kondensators C_5 durch einen Schalter (Schaltvorrichtung) 42 ändern. Ein Ende des Resonanzkreises 31 ist mit einem Pegelumsetzer 32 und einer Gleichrichtungs/Glättungs-Schaltung 33 verbunden. Der Pegelumsetzer 32 setzt einen Gleichspannungspegel eines schwankenden Hochfrequenzsignals, das am LC-Resonanzkreis 31 erhalten wird, auf einen gewünschten Pegel bzw. Wert um. Ein Ausgangssignal des Pegelumsetzers 32 wird auf eine PLL-Schaltung 34, eine Decodierschaltung und einen Frequenzteiler 40 gegeben. Die PLL-Schaltung 34 arbeitet als Demodulator zum Demodulieren des FSK-modulierten Signals, welches vom Pegelumsetzer 32 gegeben wird, und Umsetzen in das ursprüngliche serielle Digitalsignal (bi-phasen-codiertes Signal). Ein Ausgangssignal der PLL-Schaltung 34 wird über ein Tiefpaßfilter 35 auf einen Verstärker 36 zum Verstärken der Wechselspannungskomponente gegeben. Ein Ausgangssignal des Verstärkers 36 wird auf die Decodierschaltung 37 gegeben. Die Decodierschaltung 37 wandelt das bi-phasen-codierte digitale Signal in das ursprüngliche NRZ-Digitalsignal um. Das NRZ serielle Digitalsignal wird einem Speichersteuerabschnitt 38 eingegeben.

Ein Speicher 39, der beispielsweise aus einem elektrisch löschbaren programmierbaren nicht-flüchtigen Festspeicher (in folgendem als EEPROM abgekürzt) besteht, ist mit dem Speicher-

steuerabschnitt 38 verbunden. Der Frequenzteiler 40 frequenzteilt das Hochfrequenzsignal, welches über den Pegelumsetzer 32 vom LC-Resonanzkreis 31 erhalten wird, wodurch ein Taktsignal auf den Speichersteuerabschnitt 38 und eine Codierschaltung 41 gegeben wird. Der Speichersteuerabschnitt 38 wandelt das von der Decodierschaltung 37 gewonnene serielle Digitalsignal in das Parallelsignal um und diskriminiert einen in den Daten enthaltenen Befehl. Nach Maßgabe dieses Befehls steuert der Speichersteuerabschnitt 38 die Vorgänge des Schreibens und Lesens der Daten in den und aus dem Speicher 39.

Die aus dem Speichersteuerabschnitt 38 ausgelesenen Daten werden auf die Codierschaltung 41 gegeben. Die Codierschaltung 41 bi-phasen-codiert das NRZ-serielle Digitalsignal und besteht aus einer Exklusiv-ODER-Schaltung zur Gewinnung des exklusiven ODER des Taktsignals und des NRZ-Signals. Ein Ausgangssignal der Codierschaltung 41 wird als ein EIN/AUS-Steuersignal für den Schalter 42 zur Änderung der Resonanzfrequenz des LC-Resonanzkreises 31 gegeben.

Fig. 5 ist ein Schaltbild, das den detaillierten Aufbau von LC-Resonanzkreis 31, Pegelumsetzer 32 und Gleichrichtungs/Glättungs-Schaltung 32 der ID-Vorrichtung 2 zeigt. Wie in dem Schaltbild gezeigt, ist der LC-Resonanzkreis 31 so aufgebaut, daß der Kondensator C_5 ferner über einen Schalttransistor Tr_4 (der Schalter 42) und eine Zener-Diode D_1 der Parallelschaltung parallelgeschaltet ist, die aus der Spule L_3 und dem Kondensator C_4 besteht. Die Gleichrichtungs/Glättungsschaltung 33 mit einem Widerstand R_1 , einer Diode D_2 , und einem Kondensator C_6 ist mit dem LC-Resonanzkreis 31 verbunden. Ein Ausgang der Gleichrichtungs/Glättungs-Schaltung 33 wird als Spannungsquelle jedem Abschnitt der ID-Vorrichtung 2 zugeführt. Andererseits ist der Pegelumsetzer 32, der aus einem Widerstand R_2 , einer Diode D_3 und einer Zener-Diode D_4 besteht, mit dem Widerstand R_1 verbunden. Die Codierschaltung 41 steuert den Schalttransistor Tr_4 an und

ändert die Resonanzfrequenz des Resonanzkreises 31 diskontinuierlich, indem sie den Transistor Tr_4 ein- und ausschaltet, um den Kondensator C_5 in einer Hochfrequenzweise dazu parallelzuschalten. Der Pegelumsetzter 32 ist eine Art von Begrenzer zum Begrenzen der im Resonanzkreis 31 erscheinenden Spannung durch Abschneiden der Spannungsquellen-Spannung V_{cc} oder höher und der Spannung von 0 V oder tiefer, d.h., der Pegelumsetzter 32 begrenzt die Spannung auf einen Wert im Bereich von 0 bis V_{cc} . Der Gleichspannungspegel des Signals wird auf diese Weise ebenfalls umgesetzt.

(3) Aufbau des Speichersteuerabschnitts

Fig. 6 ist ein Blockschaltbild, welches einen Detailaufbau des Speicherabschnitts 38 zeigt. In diesem Schaltbild hat der Speicherabschnitt 39 einen Seriell/Parallel-(S/P-) Umsetzer 51 zum Umsetzen des an der Decodierschaltung 37 gewonnenen seriellen Digitalsignals in das Parallelsignal und einen Befehlsdecodierer 52 zum Decodieren eines Befehls des Parallelsignals als Ausgangssignal des S/P-Umsetzers 51. Mit dem S/P-Umsetzer 51 ist ein Serielleingabe-Steuerabschnitt 53 verbunden. Durch Aufgeben eines Taktsignals auf den S/P-Umsetzer 51 zu einer bestimmten Zeit bewirkt der Serielleingabe-Steuerabschnitt 53, daß der S/P-Umsetzer 51 das empfangene serielle Signal in die parallelen Daten zu einem erforderlichen Zeitpunkt umsetzt. Der Befehlsdecodierer 52 enthält ein Befehlsregister 52a zum vorübergehenden Halten von Befehlen, die von dem Schreib/Lese-Steuergerät 3 gegeben werden, ein Adressenregister 52b zum vorübergehenden Halten von Adressen, ein Datenregister 52c zum vorübergehenden Halten von Daten und einen Byte-Zahl-Zähler 52d zum Halten der Anzahl von Bytes der ausgelesenen Daten.

Ein Statussteuerabschnitt 54 zur Steuerung der Ausführung von Befehlen ist mit dem Befehlsdecodierer 52 verbunden. Ferner ist mit dem Befehlsdecodierer 52 ein Adressengenerator 57 über

einen Adressenbus 56 verbunden. Auf der Grundlage des vom Frequenzteiler 40 gelieferten Taktsignals steuert der Statussteuerabschnitt 54 jeden Block, damit der Inhalt der gegebenen Befehlsdaten ausgeführt wird. Auf der Grundlage von Schreib- und Lesesignalen des Statussteuerabschnitts 54 steuert eine Speichersteuerung 55 die Vorgänge des Schreibens und Lesens von Daten in den und aus dem Speicher 39. Ein Ausgangssignal des Datenregisters 52c des Befehlsdecodierers 52 wird über einen Datenbus 58 auf den Speicher 39 gegeben. Ein Datenpuffer 39 zum vorübergehenden Speichern der aus dem Speicher 39 ausgelesenen Daten ist mit dem Datenbus 58 verbunden.

Der Adressengenerator 57 erzeugt sequentiell Adressen ansprechend auf ein Schrittsignal, welches von dem Statussteuerabschnitt 54 auf der Grundlage der Adressenwerte aus dem Adressenregister 52b des Befehlsdecodierers 52 geliefert wird. Die Adressensignale werden auf den Speicher 39 und ein Statusregister 60 geben. Das Statusregister 60 hält Übertragungs/Empfangsbefehle, Information, die die Ausführung der Schreib/Lese-Vorgänge angibt, und Fehlerinformation. Das Statusregister 60 ist in einem Teil des gleichen Adressenraums wie der Speicher 39 angeordnet.

Parallele Ausgänge eines Datenpuffers 59 sind mit einem Parallel/Seriell-(P/S-) Umsetzer 61 verbunden. Andererseits ist der Statussteuerabschnitt 54 die Folgeschaltung, die die Steuerung jedes Abschnitts vorrücken läßt, wenn bestimmte Bedingungen erfüllt sind. Wenn Daten ausgegeben werden, gibt der Statussteuerabschnitt 54 ein Ausgabestartsignal auf einen Seriellausgabesteuerabschnitt 62. Der Seriellausgabesteuerabschnitt 62 gibt ein Taktsignal, das der Zeit zum Übertragen eines Datensignals auf den P/S-Umsetzer 61 entspricht, und fügt außerdem ein Start-Bit und Stop-Bit den Übertragungsdaten hinzu. Wenn Daten ausgelesen werden, wandelt der P/S-Umsetzer 61 die Daten, die im Datenpuffer 59 gehalten werden, in das serielle Signal um, und

fügt diesem seriellen Signal ein Paritäts-Bit und ein Start-Bit sowie ein Stop-Bit hinzu und gibt dann das sich ergebende Signal auf die Codierschaltung 41.

(4) Aufbau der Decodierschaltung

Der Aufbau der Decodierschaltungen 23 und 37 wird im einzelnen weiter beschrieben. Die Decodierschaltungen 23 und 37 können im wesentlichen gleich aufgebaut sein. Fig. 7 ist ein Blockschaltbild, welches ein Beispiel der Decodierschaltung zeigt. Die Decodierschaltung dieses Beispiels ist vollständig durch digitale Elemente ohne Verwendung analoger Elemente verwirklicht. Ein Ausgangssignal des Verstärkers 22 oder 36 wird auf einen Anstiegsflankendetektor 71, einen Abfallflankendetektor 72 und ein D-Flipflop 73 gegeben. Der Detektor 71 stellt die Anstiegsflanke eines Eingangssignales fest. Der Detektor 72 stellt die Abfallflanke eines Eingangssignals fest. Ausgangssignale beider Detektoren werden auf eine ODER-Schaltung 74 gegeben. Das Ausgangssignal des Detektors 71 wird auf einen Rücksetzeingang eines Zählers 75 gegeben. Das Ausgangssignal des Detektors 72 wird einem Takteingang des D-Flipflop 76 zugeführt. Der Zähler 75 zählt eine bestimmte Anzahl, beispielsweise achtzehn Eingangssignalimpulse. Ein Zählerausgangssignal des Zählers 75 wird dem D-Flipflop 76 zugeführt. Ein \bar{Q} -Ausgangssignal des flip flop 76 wird dem Zähler 75 über eine UND-Schaltung 77 und einem Zähler 80 über einen Inverter 78 und eine UND-Schaltung 79 zugeführt.

Andererseits wird ein Hochfrequenzsignal, das direkt vom LC-Oszillator 18 oder über den Pegelumsetzer 32 vom Resonanzkreis 31 gewonnen ist, durch einen Frequenzteiler 81 frequenzgeteilt. Das frequenzgeteilte Ausgangssignal wird über die UND-Schaltung 77 bzw. 79 auf die Zähler 75 und 80 gegeben. Der Frequenzteiler 81 frequenzteilt das Ausgangssignal des Oszillators 18 oder der Resonanzschaltung 31 und erzeugt eine Anzahl von

Takten, die etwas größer ist als vierundzwanzig Takte in bezug auf einen Takt des Bi-Phasen-Code. Auf der Grundlage dieses Eingangssignals erhält der Zähler 80 ein Sync-Taktsignal des Bi-Phasen-Codes. Ein Ausgangssignals des Zählers 80 wird einem Takteingang des Flip-flop 73 zugeführt und über einen Inverter 82 und eine UND-Schaltung 83 auch auf einen Rücksetzeingang des Zählers 80 zurückgeführt. Das Flipflop 73 wandelt den Bi-Phasen-Code ansprechend auf dieses Sync-Takt-Signal in den NRZ-Code um. Der NRZ-Code und das Sync-Takt-Signal werden auf die serielle Schnittstelle 14 oder den Speichersteuerabschnitt 38 gegeben.

(5) Beschreibung des Arbeitens

Das Arbeiten der Ausführungsform wird nun unter Bezugnahme auf Wellenformdiagramme beschrieben. Fig. 8a bis 8f, 9, und 10a bis 10e sind Wellenformdiagramme, die Wellenformen in betreffenden Abschnitten diese Ausführungsform zeigen. Zunächst wird, wenn die an einem Gegenstand 1 als dem zu identifizierenden Objekt angebrachte ID-Vorrichtung 2 sich dem Kopf 5 im Lese/Schreib-Steuergerät 3 nähert, ein Hochfrequenzsignal von der Spule L_1 des LC-Oszillator 18 des Geräts 3 auf den LC-Resonanzkreis 31 der ID-Vorrichtung 2 übertragen. Der LC-Oszillator 18 schwingt kontinuierlich ohne Unterbrechung, das in der LC-Resonanzschaltung 31 erhaltene Hochfrequenzsignal wird durch die Gleichrichtungs/-Glättungsschaltung 33 in die Gleichspannung umgewandelt und eine Spannungsquelle jedem Block der ID-Vorrichtung 2 zugeführt. Die ID-Vorrichtung 2 beginnt also zu arbeiten und es kann die Datenübertragung zwischen der ID-Vorrichtung 2 und dem Schreib/Lese-Steuergerät 3 durchgeführt werden.

Im Falle des Einschreibens von Daten in die ID-Vorrichtung 2 durch das Schreib/Lese-Steuergerät 3 werden ein Schreibfehl und Schreibdaten von dem MPU 11 auf die serielle Schnittstelle 14 gegeben. Wie in Fig. 8a gezeigt, wandelt die serielle Schnittstelle 14 das Signal des MPU 11 in das serielle Signal um

und sendet es an die Codierschaltung 17. Das durch Frequenzteilung des von dem LC-Oszillator 18 erzeugten Schwingungsausgangssignals gewonnene Taktsignal, wird auf die Codierschaltung 17 gegeben. Wie in Fig. 8b gezeigt, wandelt die Codierschaltung 17 das NRZ-Signal in den Bi-Phasen-Code um. Daher wird der Bi-Phasen-Code als Steuersignal auf den LC-Oszillator 18 gegeben. Wie in Fig. 8c zeigt, ändert sich die Schwingungsfrequenz des LC-Oszillators 18 intermittierend, und die FSK-Modulation wird durchgeführt. Da das FSK-modulierte Ausgangssignal dem LC-Resonanzkreis 31 der ID-Vorrichtung 2 zugeführt wird, wird das gleiche Signal (Fig. 8d) von dem Resonanzkreis 31 hergeleitet. Dieses Ausgangssignal wird über den Pegelumsetzer 32 auf die PLL-Schaltung 34 übertragen und demoduliert. Wie in Fig. 8e gezeigt, wird das Signal, aus dem die Hochfrequenzkomponente durch das Tiefpaßfilter 35 entfernt worden ist, durch den Verstärker 36 verstärkt. Da der Verstärker 36 ein Wechselspannungsverstärker ist und die Gleichspannungskomponente beseitigt wird, wird nur der Änderungsbetrag auf die Decodierschaltung 37 gegeben. Da die Decodierschaltung 37 Takte aus diesem Signal herauszieht und, wie in Fig. 8f gezeigt, decodiert, kann das NRZ-Signal ähnlich dem der Fig. 8a rekonstruiert werden. Dieses Signal wird als seriellles Signal dem Speichersteuerabschnitt 38 zugeführt.

Wenn sich Metallmaterial oder dgl. dem Schreib/Lese-Steuergerät 3 und der ID-Vorrichtung 2 nähert, ändert sich die Resonanzfrequenz des Resonanzkreises 31, so daß ein Fall vorliegen kann, wo ein Gleichspannungswert des Ausgangssignals der PLL-Schaltung 34 schwankt. Bei dieser Ausführungsform tritt jedoch kein Problem in einem solchen Fall auf, da das NRZ-Signal biphasen-codiert und dann übertragen wird. Wie in Fig. 8a gezeigt, wird nämlich das NRZ-Signal auf dem L-Pegel gehalten, wenn durch dieses Signal angegebenes Datum 0 andauert. Andererseits wird das NRZ-Signal auf H-Pegel gehalten, wenn Datum 1 andauert. Solange ein Referenzwert (0-Pegel) nicht bestimmt ist (mit ande-

ren Worten, wenn der Gleichspannungswert schwankt), ist es daher unmöglich zu entscheiden, ob die Daten 0 oder 1 sind. Andererseits ändert sich das Bi-Phasen-Signal von H-Pegel auf L-Pegel, wenn das Datum 0 ist, während sich das Bi-Phasen-Signal von L-Pegel auf H-Pegel ändert, wenn das Datum 1 ist. Da sich der Pegel des Bi-Phasen-Signals mit jedem Datenbit ändert, ist es auf der Grundlage dieser Pegeländerung auch dann möglich zu bestimmen, ob die Daten 1 oder 0 sind, wenn der Mittelwertpegel sich ändert.

Fig. 9 ist ein Wellenformdiagramm, welches das Arbeiten der Decodierschaltungen 23 und 37 zeigt. Die Bezugssymbole a bis i in Fig. 7 entsprechen Wellenformen a bis i in Fig. 9. Ein Signal a in Fig. 9 gibt einen Bi-Phasen-Code an, der auf die Decodierschaltung 23 und 37 gegeben wird. Folgend auf das Startsignal "11...1" werden gewünschte Daten nach einer Zeit t_1 ausgegeben. Der Anstiegsflankendetektor 71 und Abfallflankendetektor 72 erzeugen Ausgangssignale b bzw. c, wie sie in Fig. 9 gezeigt sind. Das Ausgangssignal b setzt den Zähler 75 zurück. Das Ausgangssignal c wird einem Takteingang des Flip-flop 76 zugeführt. In diesem Fall wird, da der Frequenzteiler 81 ein Signal einer Periode von beispielsweise etwa $1/24$ des Bi-Phasen-Codes ausgibt, wenn das Startsignal beendet ist, die Zeitdifferenz zwischen dem Ausgangssignal b des Anstiegsflankendetektors 71 und dem Ausgangssignal c des Abfallflankendetektors 72 auf den Wert eines bestimmten Werts oder höher eingestellt. Wie in den Signalen b bis e in Fig. 9 gezeigt wird also der \bar{Q} -Ausgang e des Flipflops 76 auf L-Pegel gesetzt und die Decodierung begonnen. Da das Gate 79 danach geöffnet wird, wird das Taktsignal auf dem Zähler 80 gegeben. Durch Zählen der Ausgangssignale des Frequenzteilers 81 wird ein Sync-Signal gegeben. Es wird nämlich nun angenommen, daß der Zähler 80 ein Signal ausgibt, welches ansteigt und abfällt, wenn sechs Takte bzw. achtzehn Takte aus vierundzwanzig Takten gezählt sind, so daß, wie in einem Signal

g in Fig. 9 gezeigt, ein Sync-Takt vom Zähler 80 ausgegeben werden kann. Durch Aufgeben des Bi-Phasen-Codes auf das D-Flip-flop 73 und durch Verwendung dieses Sync-Taktes läßt sich der NRZ-Code, wie in Signal i in Fig. 9 gezeigt, gewinnen.

Andererseits werden das serielle NRZ-Signal, welches durch den Speichersteuerabschnitt 38 aus dem Speicher 39 ausgelesen wird, und das Taktsignal der Codierschaltung 41 zugeführt. Die Codierschaltung 41 wandelt das NRZ-Signal wie es in Fig. 10a gezeigt ist, in den Bi-Phasen-Code, wie er in Fig. 10b gezeigt ist, um. Durch Ein- und Ausschalten des Transistors Tr_4 (Schalter 42) durch das Bi-Phasen-Codesignal wird die Resonanzfrequenz des LC-Resonanzkreises 31 geändert (d.h. FSK-Modulation durchgeführt). Da die Änderung der Resonanzfrequenz als Änderung der Last des LC-Oszillators 18 des Schreib/Lese-Steuergeräts 3 erscheint, ändert sich die Schwingungsfrequenz des LC-Oszillators 18 geringfügig. Die Schwingungsfrequenz des LC-Oszillators 18 ändert sich daher wie in Fig. 10c gezeigt. Die PLL-Schaltung 20 demoduliert diese Frequenzänderungen und gibt ihr Ausgangssignal auf das Tiefpaßfilter 21. Die Hochfrequenzkomponente wird aus diesem Ausgangssignal durch das Tiefpaßfilter 21 eliminiert und das resultierende Signal danach verstärkt. In diesem Fall wird auch dann, wenn der Gleichspannungspegel des Ausgangssignals der PLL-Schaltung 20 infolge einer Beeinflussung durch metallisches Material geschwankt hat, die Pegeländerung des Bi-Phasen-Codesignals nach Demodulation, wie in Fig. 10d gezeigt, durch den Wechselspannungsverstärker 22 auf die Decodierschaltung 23 gegeben. In der Decodierschaltung 23 läßt sich durch Herausziehen von Takten aus dem Bi-Phasen-Code und durch Decodieren das NRZ-Signal, wie Fig. 10e gezeigt ist, herleiten. Dieses Signal wird der seriellen Schnittstelle 14 eingegeben und in das Parallelsignal umgewandelt. Dieses Parallelsignal wird dem MPU 11 zugeführt. Auf diese Weise läßt sich eine Halbduplex-Datenübertragung zwischen dem Schreib/Lese-Steuergerät 3 und der ID-Vorrich-

tung 2 durchführen.

(6) Andere Ausführungsformen

In obiger Ausführungsform wird der Bi-Phasen-Code ohne Gleichspannungskomponente verwendet, um zu ermöglichen, daß die durch das Ausgangssignal der PLL-Decodierschaltung dargestellten Daten unabhängig von einer Änderung des Gleichspannungspegels dieses Ausgangssignals als Folge einer Annäherung von metallischem Material diskriminiert werden können. Daher lassen sich nicht nur der Bi-Phasen-Code, sondern auch andere serielle DatenübertragungsCodes ohne Gleichspannungskomponente, beispielsweise der $f/2f$ -Code, der Bipolar-Code, der Dicode-Code, oder dgl. verwenden.

Fig. 11a ist ein Schaltbild, welches eine Decodierschaltung eines $f/2f$ -Code zeigt. Fig. 11b ist ein Blockschaltbild, welches ein Beispiel einer Decodierschaltung des $f/2f$ -Codes zeigt. Fig. 12 ist ein Wellenformdiagramm, welches Wellenformen von Signalen a bis e in betreffenden Abschnitten der Decodierschaltung zeigt. Wie in den Diagrammen gezeigt, wird beim $f/2f$ -Code eine Gate-Schaltung ansprechend auf Sync-Takte geöffnet oder geschlossen, wodurch die Codes f und $2f$ gebildet werden. Durch Diskriminierung dieser Codes werden die codierten Daten gewonnen. Andererseits werden die Takte der Frequenz des $f/2f$ -Codes herausgezogen, und auf der Grundlage der Takte wird das decodierte Signal gewonnen.

Fig. 13a und 13b sind Schaltungsdiagramme, welche Beispiele einer Codierschaltung und einer Decodierschaltung eines bi-polaren Codes als eines weiteren DatenübertragungsCodes zeigen. Fig. 14 ist ein Wellenformdiagramm, welches Wellenformen von Signalen a bis h in der Codier- und der Decodierschaltung der Fig. 13a und 13b zeigt. Wie in den Diagrammen gezeigt, wird in der Codierschaltung der bi-polare Code durch Schalten von Ausgängen eines invertierenden Verstärkers und eines nicht-invertierenden

Verstärkers nach Maßgabe des Inhalts der Daten und mit dem Zustand des Taktsignals gewonnen. In der Decodierschaltung wird der bi-polare Code durch diskriminierende Ausgangssignale eines invertierenden Verstärkers oder eines nicht-invertierenden Verstärkers decodiert.

Ferner ist Fig. 15a ein Schaltbild, welches eine Codierschaltung eines Dicode-Codes zeigt. Fig. 15b ist ein Schaltbild, welches ein Beispiel einer Decodierschaltung des Dicode-Codes zeigt. Fig. 16 ist ein Wellenformdiagramm, welches Wellenformen von Signalen a bis d in betreffenden Abschnitten der Decodierschaltung der Fig. 15b zeigt. Wie in den Diagrammen gezeigt, läßt sich der Dicode-Code durch Differenzieren des NRZ-Codes gewinnen. In der Decodierschaltung wird es unter Verwendung des Flipflop durch Diskriminieren eines Ausgangssignals durch zwei Verstärker decodiert.

Ferner ist in dieser Ausführungsform der elektrisch löschbare programmierbare ROM als Speicher verwendet worden. Die Erfindung kann jedoch auch verschiedene Arten von elektrisch beschreibbaren und löschbaren Speichern, wie beispielsweise eine CMOS-Speicher, der batteriegestützt ist, und dgl. verwenden.

Fig. 17 und 18 zeigen eine weitere Ausführungsform. Fig. 17 zeigt einen Aufbau eines Schreib/Lese-Steuërgeräts und Fig. 18 einen Aufbau einer ID-Vorrichtung. In diesen Schaltbildern sind gleiche Teile und Komponenten, wie die in den Fig. 2 und 4 gezeigten, durch die gleichen Bezugszeichen bezeichnet.

In Fig. 17 weist die Decodierschaltung 23 auf: einen Taktextrahierabschnitt 23a zum Herausziehen von Takten; und eine Exklusiv-ODER-Schaltung 23b, welche ein Taktsignal und einen Bi-Phasen-Code erhält. Der eingegebene Bi-Phasen-Code, der von der ID-Vorrichtung 2 übertragen worden war und demoduliert wurde, wird durch die Decodierschaltung 23 in den NRZ-Code umgewandelt. Ein Ausgangssignal der Decodierschaltung wird über die serielle Schnittstelle 14 auf den MPU 11 gegeben.

In Fig. 18 wird ein vom Frequenzteiler 40 erzeugtes Taktsignal von dem Speichersteuerabschnitt 38 auf die Codierschaltung 41 gegeben. Die Decodierschaltung 37 weist einen Taktextrahierabschnitt 37a zum Herausziehen von Takten aus einem Ausgangssignal des Verstärkers 36 und eine Exklusiv-ODER-Schaltung 37b auf. Das bi-phasen-codierte Digitalsignal, das von dem Schreib/Lese-Steuergerät 3 übertragen worden ist und demoduliert wurde, wird durch die Decodierschaltung 37 in das ursprüngliche NRZ-Digitalsignal umgewandelt. Dieses NRZ-Digitalsignal wird auf den Speichersteuerabschnitt 38 gegeben.

In obiger Ausführungsform wird zur Übertragung von Daten von dem Schreib/Lese-Steuergerät 3 auf die ID-Vorrichtung 2 das NRZ-Signal einmal in den Bi-Phasen-Code umgewandelt, und auch wenn das Signal von der ID-Vorrichtung 2 auf das Schreib/Lese-Steuergerät 3 übertragen wird, wird das NRZ-Signal in ähnlicher Weise in den Bi-Phasen-Code umgewandelt. Es ist jedoch auch möglich, in einer Weise zu verfahren, daß die FSK-Modulation im LC-Oszillator direkt unter Verwendung des NRZ-Codes ohne Durchführung einer solchen Codierumwandlung durchgeführt wird und die Resonanzfrequenz des Resonanzkreises auch durch Verwendung des NRZ-Codes geändert wird, wodurch die Übertragung des Signals ermöglicht wird.

Wenngleich in obiger Ausführungsform der elektrisch löschbare programmierbare ROM als Speicher verwendet worden ist, kann andererseits die Erfindung auch verschiedene Arten von elektrisch beschreibbaren und löschbaren nicht-flüchtigen Speichern verwenden.

Patentansprüche

1. Artikelidentifikationssystem mit einer ID-Vorrichtung (2), welche an einem zu identifizierenden Artikel (1) anbringbar ist, und einem Lesesteuergerät (3) für ein Lesen von Daten aus der ID-Vorrichtung (2), wobei

die ID-Vorrichtung (2)
eine eine Spule (L_3) enthaltende Resonanzschaltung (31),
erste Datendemodulationsmittel (34, 35) zum Demodulieren eines Ausgangssignals der Resonanzschaltung (31) und Gewinnen von durch eine Frequenzänderung des Ausgangssignals dargestellten Daten,

einen Speicher (39) zum Speichern von Identifikationsdaten des Artikels, an dem die ID-Vorrichtung anzubringen ist,

Speichersteuermittel (38) zum Speichern eines Lesevorgangs von Daten aus dem Speicher (39),

Datenmodulationsmittel (42) zum Ändern einer Eigenschaft der Resonanzschaltung (31) auf der Grundlage der Übertragungsdaten, die aus dem Speicher (39) ausgelesen werden, und

eine Gleichrichtungs/Glättungsschaltung (33) zum Gleichrichten und Glätten der Ausgabe der Resonanzschaltung, um so eine Gleichspannungsquelle für jeden Abschnitt der ID-Vorrichtung zu liefern, aufweist, und

das Lesesteuergerät (3)

einen Oszillator (18), welcher eine Schwingungsspule (L_1) enthält und seine Schwingungsfrequenz gemäß einem auf die ID-Vorrichtung zu übertragenden Datensignal ändert,

zweite Datendemodulationsmittel (20, 21) zum Demodulieren eines Datensignals, welches von der ID-Vorrichtung übertragen wird, auf der Grundlage einer Änderung eines von dem Oszillator

(18) erhaltenen Signals, dadurch gekennzeichnet, daß der Speicher (39) elektrisch löschar und programmierbar ist, das Steuergerät (3) auch zum Einschreiben in den Speicher dient und die Speichersteuermittel (38) auch zur Steuerung eines Schreibvorgangs der demodulierten Daten in den Speicher dienen; die Modulationsmittel (42) die Frequenz der Resonanzschaltung (31) auf der Grundlage der aus dem Speicher (39) ausgelesenen Übertragungsdaten ändern, wobei die ID-Vorrichtung ferner erste Codiermittel (41) zum Codieren der aus dem Speicher (39) mit den Speichersteuermitteln (38) ausgelesenen Daten in einen ersten Übertragungscode und zum Aufgeben des ersten Codes auf die Datenmodulationsmittel, und erste Decodiermittel (37) zum Decodieren eines ersten codierten Datensignals, welches durch die ersten Datendemodulationsmittel demoduliert wurde, aufweist, und das Lese/Schreibsteuergerät (3) ferner zweite Codiermittel (17) zum Codieren der auf die ID-Vorrichtung zu übertragenden Daten in einen zweiten Übertragungscode und zum Aufgeben des zweiten Codes auf den Oszillator (18), der seine Oszillationsfrequenz ansprechend auf den zweiten Code ändert, und zweite Decodiermittel (23) zum Decodieren eines zweiten codierten Datensignals, welches mit den zweiten Datendemodulationsmitteln (20, 21) demoduliert wurde, aufweist, wobei die Übertragungscode unabhängig von einer Änderung des Gleichspannungspegels des Codes, der durch sich an die ID-Vorrichtung annäherndes metallisches Material bewirkt wird, decodiert werden können.

2. System nach Anspruch 1, bei welchem der Speicher (39) ein nicht-flüchtiger Speicher ist.

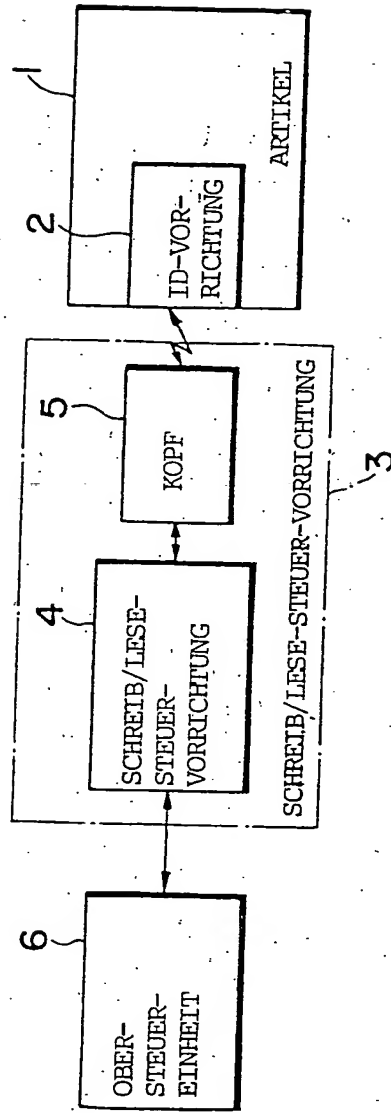
3. System nach Anspruch 1, bei welchem der erste und zweite Übertragungscode Biphasencodes sind.

4. System nach Anspruch 1, bei welchem der erste und zweite Übertragungscode $f/2f$ -Codes sind.

5. System nach Anspruch 1, bei welchem der erste und zweite Übertragungscode bipolare Codes sind.

6. System nach Anspruch 1, bei welchem der erste und zweite Übertragungscode Dicode-Codes sind.

Fig.1



5

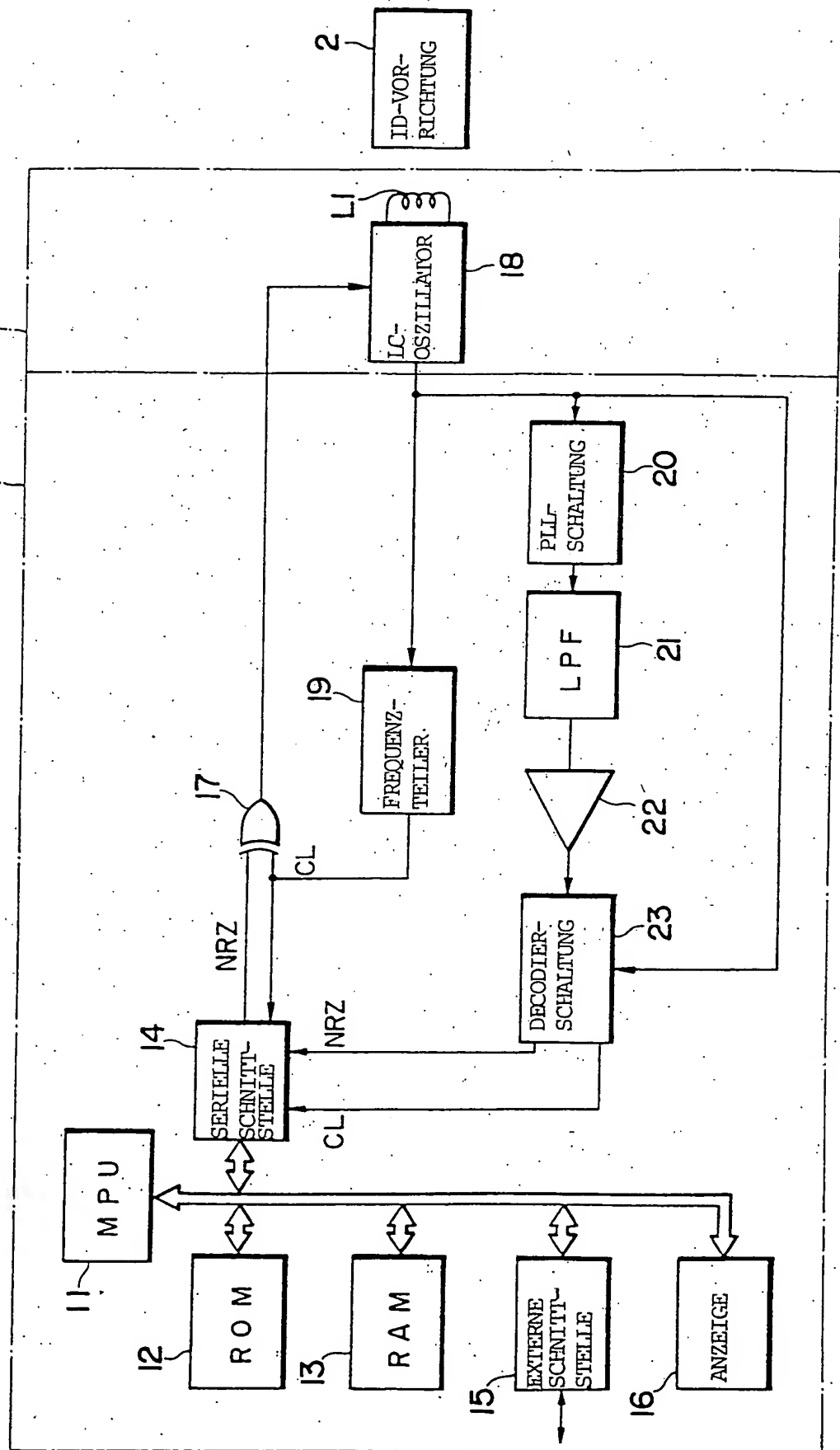


Fig.3

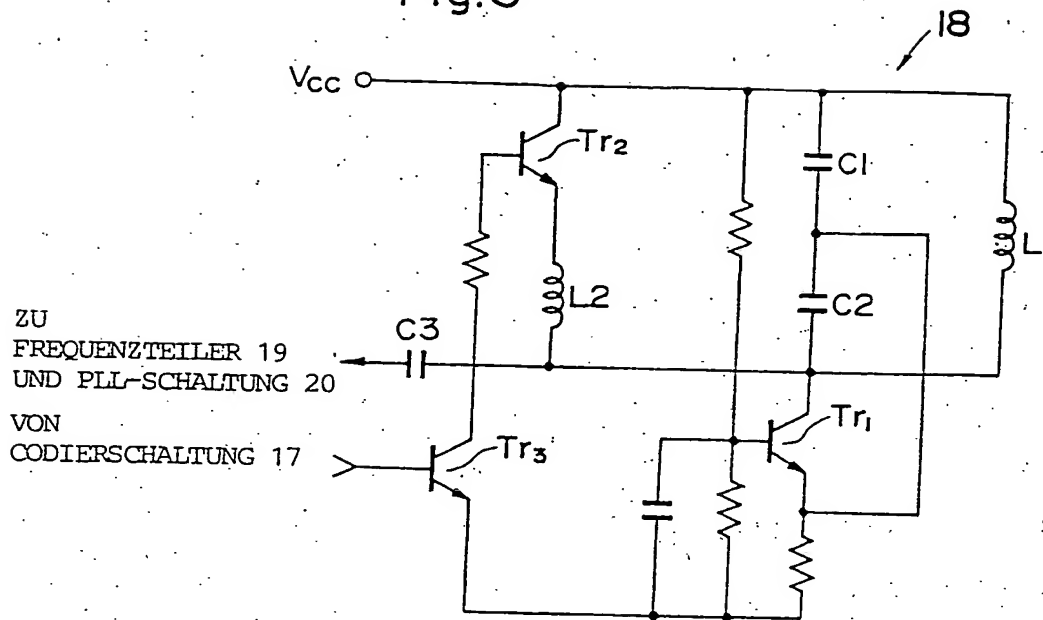


Fig.5

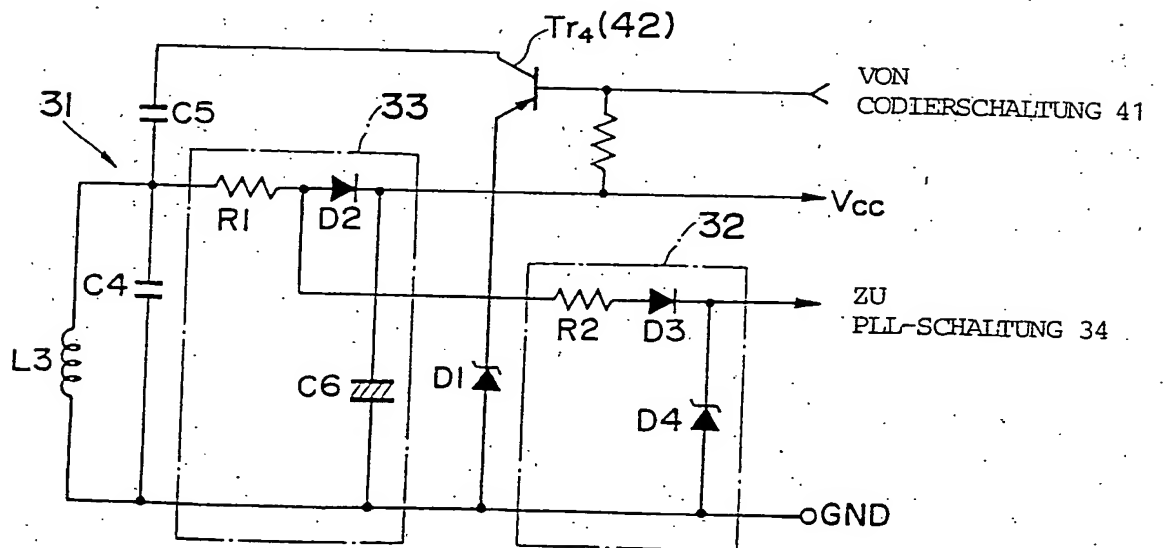


Fig.4

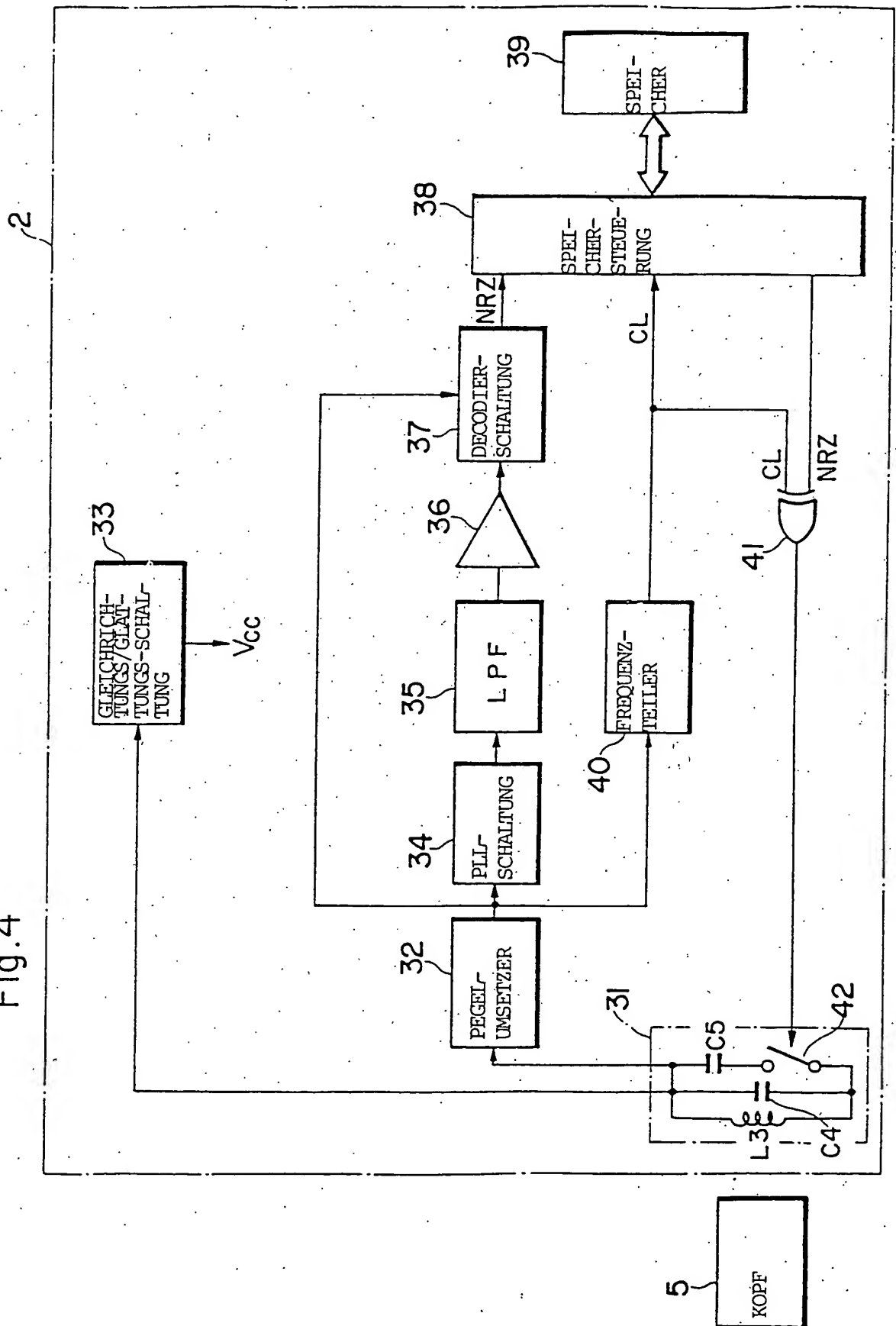


Fig.6

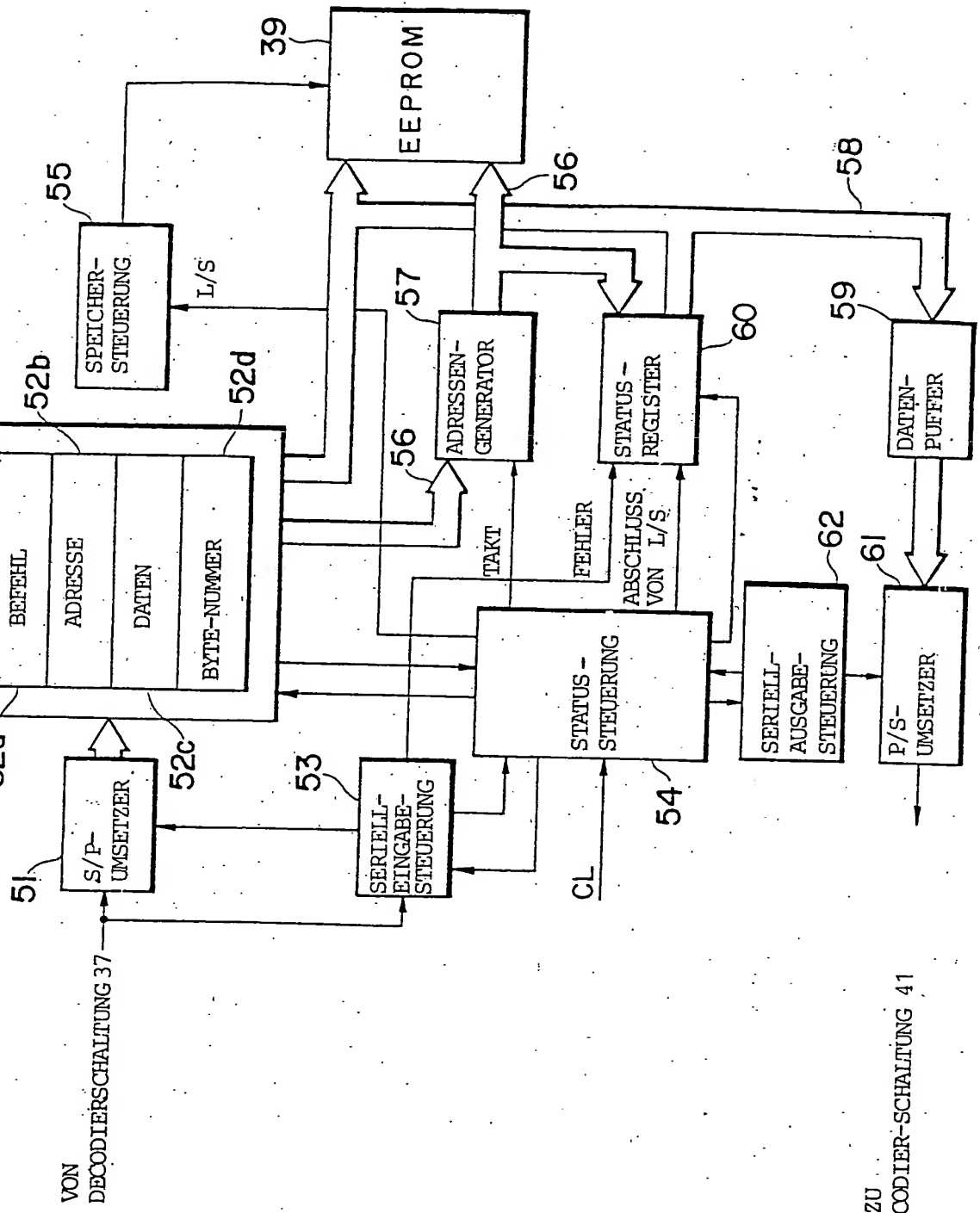
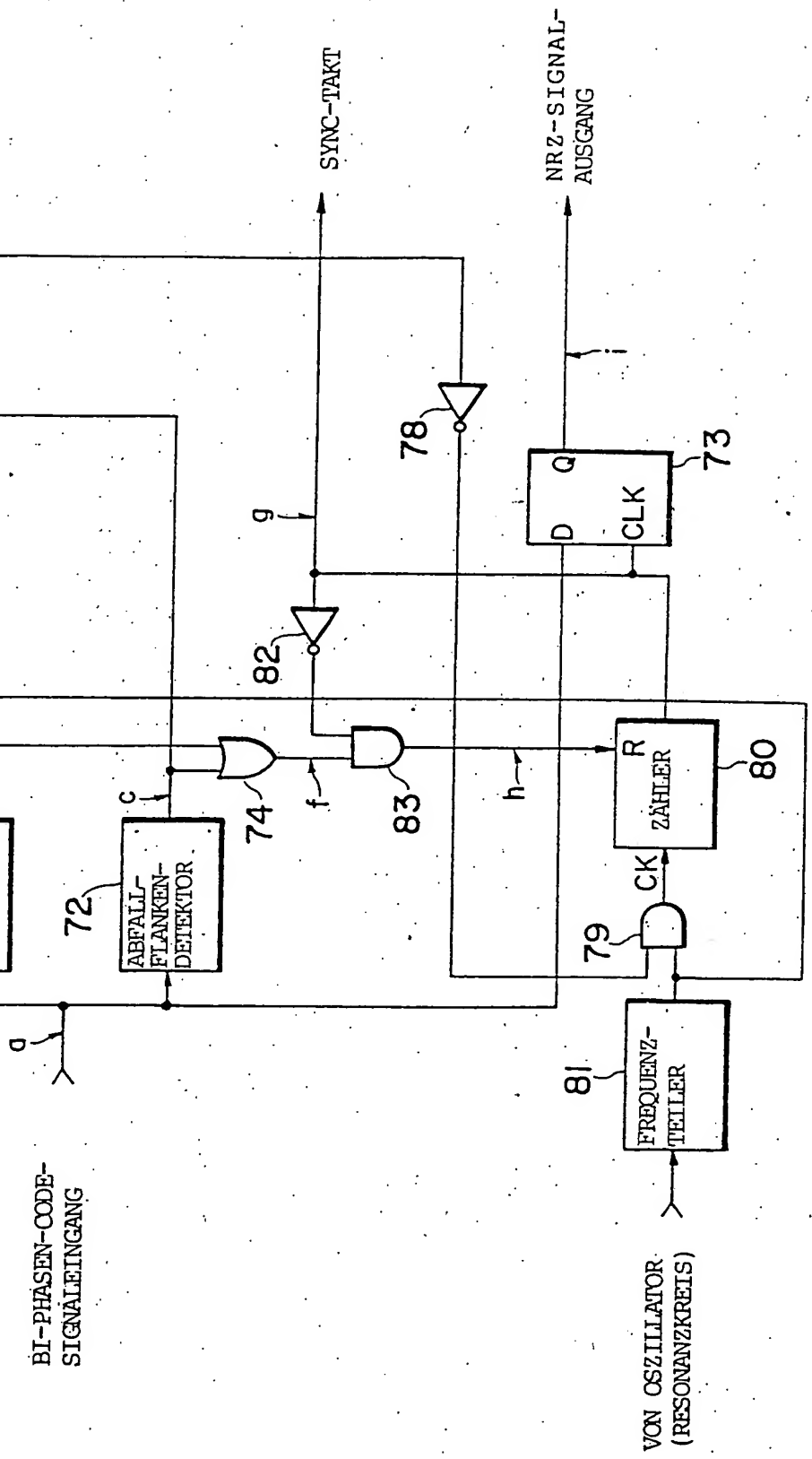


Fig. 7



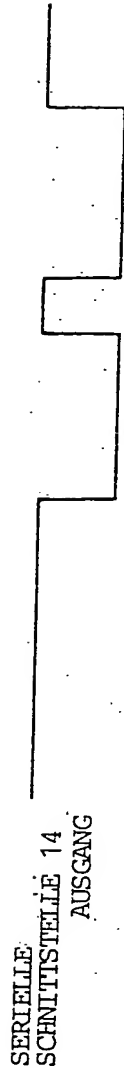


Fig. 8a

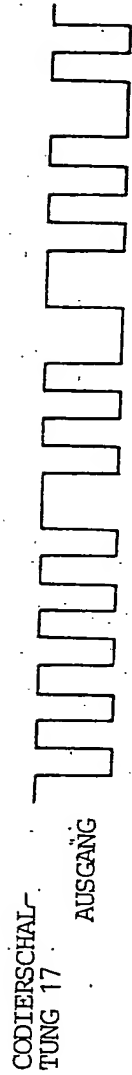


Fig. 8b



Fig. 8c



Fig. 8d

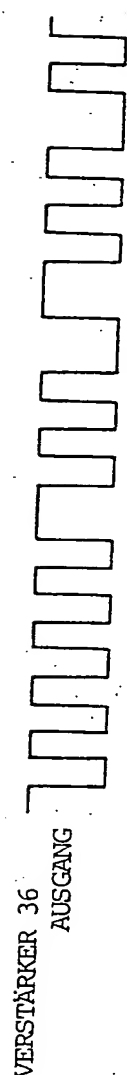
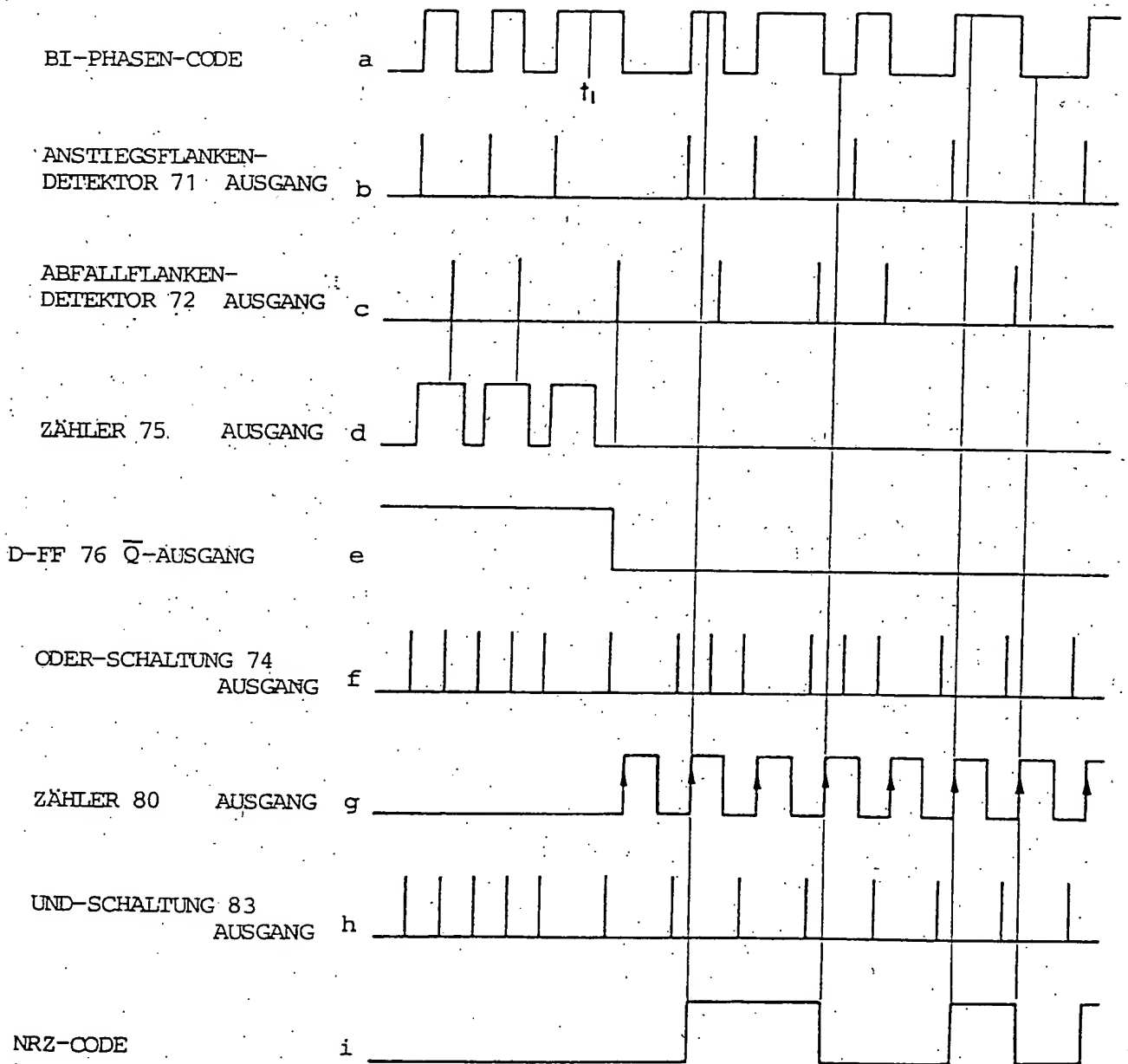


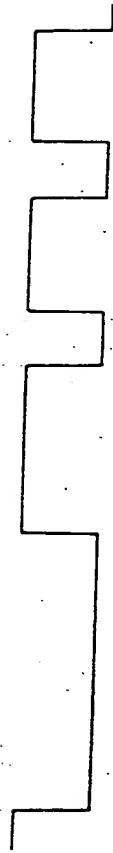
Fig. 8e



Fig. 8f

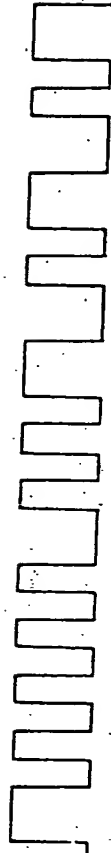
Fig.9





SPEICHERSTEUER-
ABSCHNITT 38
AUSGANG

Fig. 10a



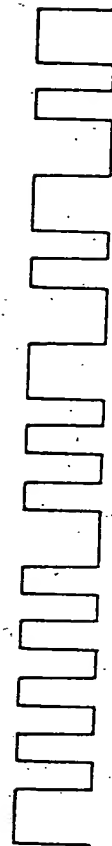
CODIERSCHALTUNG 41
AUSGANG

Fig. 10b



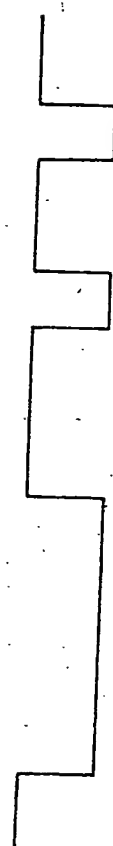
LC-OSZILLATOR 18
AUSGANG

Fig. 10c



PLL-SCHALTUNG 20
AUSGANG

Fig. 10d



DEKODIERSCHAL-
TUNG 23
AUSGANG

Fig. 10e

The diagram shows a circuit for converting an NRZ signal to an RZ signal. It uses a D flip-flop and two 2-input AND gates. The input signal NRZ is connected to the D input of the flip-flop and to the top input of both AND gates. The clock signal CLK is connected to the CK input of the flip-flop and to the bottom input of both AND gates. The output Q of the flip-flop is connected to the top input of the first AND gate and to the bottom input of the second AND gate. The output \bar{Q} of the flip-flop is connected to the top input of the second AND gate and to the bottom input of the first AND gate. The output of the first AND gate is labeled $(2f)$ and is connected to the top input of an OR gate. The output of the second AND gate is connected to the bottom input of the OR gate. The output of the OR gate is labeled $f/2f$.

Fig.12

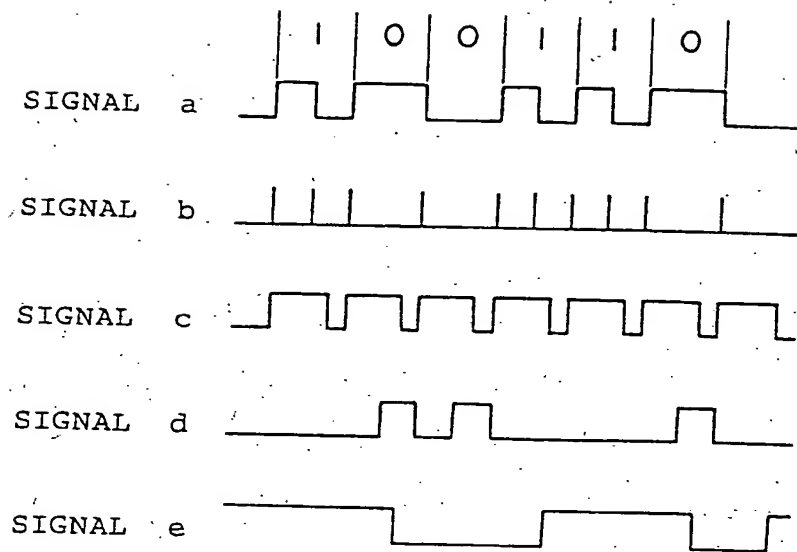


Fig.16

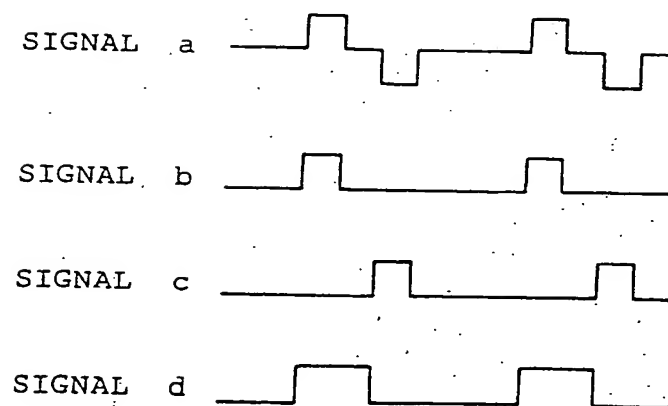


Fig. 13a

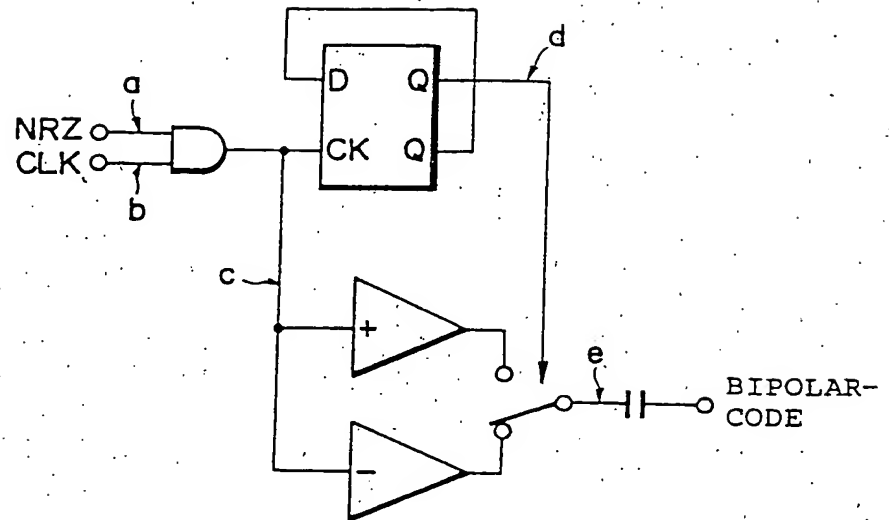


Fig. 13b

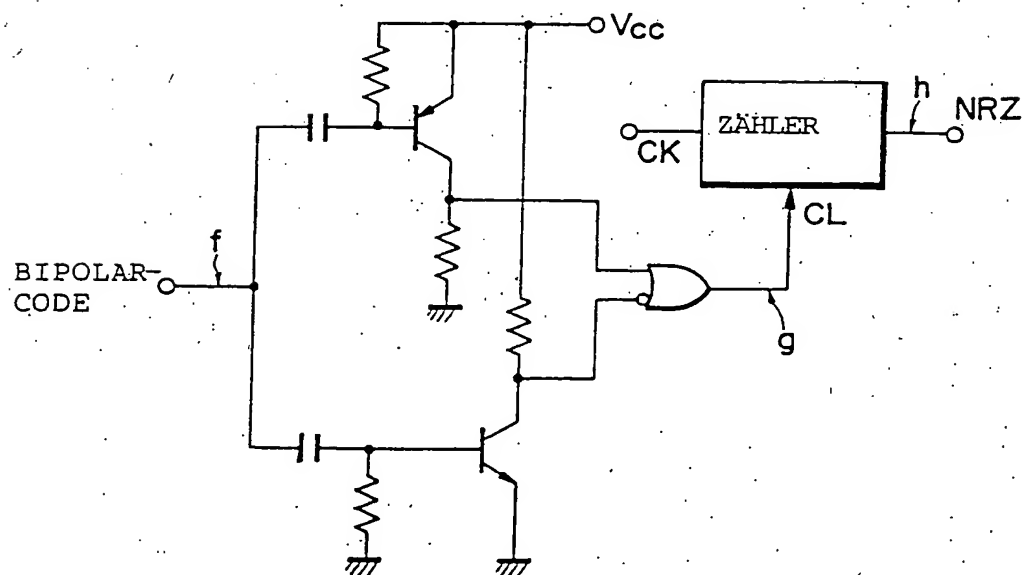


Fig.14

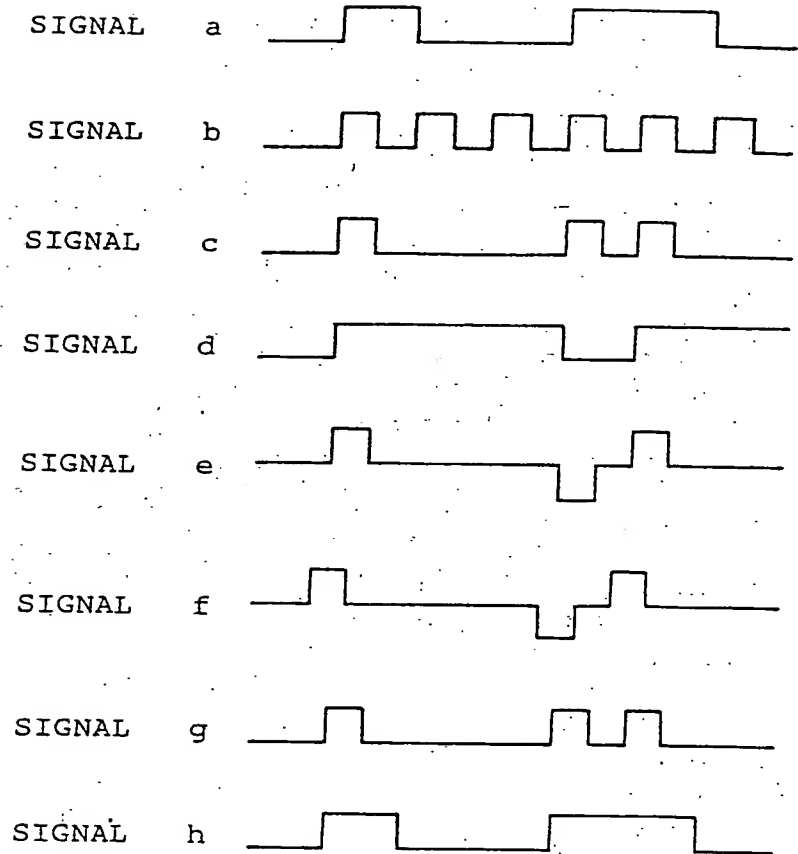


Fig. 15a

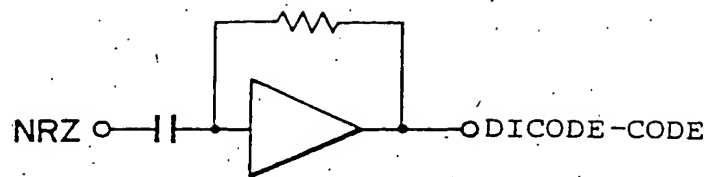


Fig. 15b

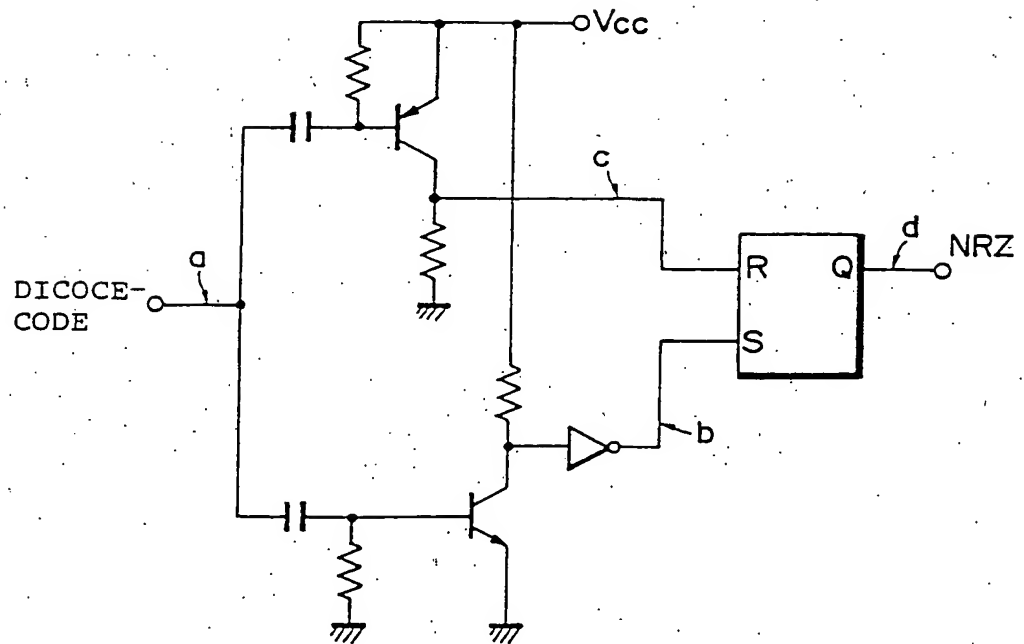


Fig.17

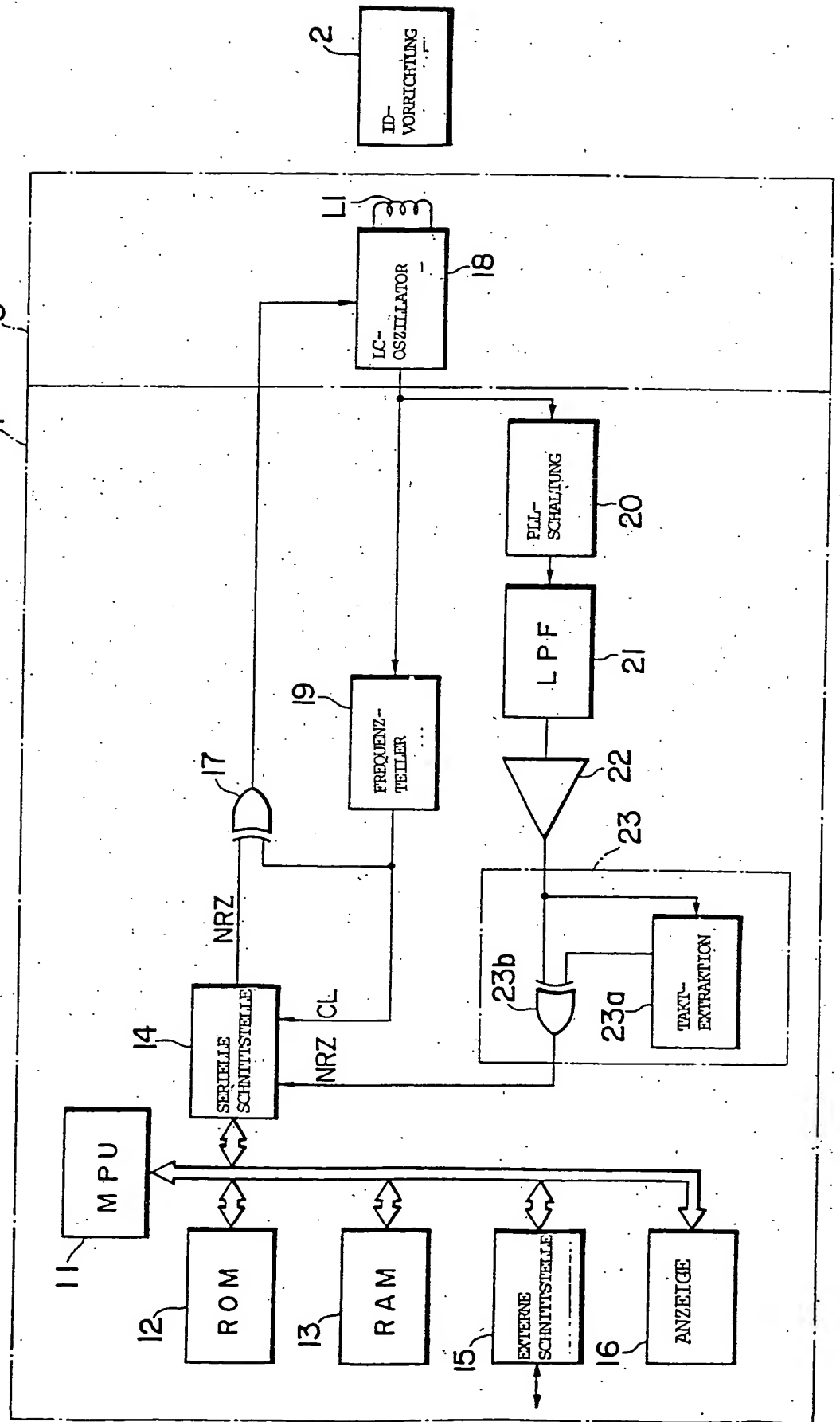
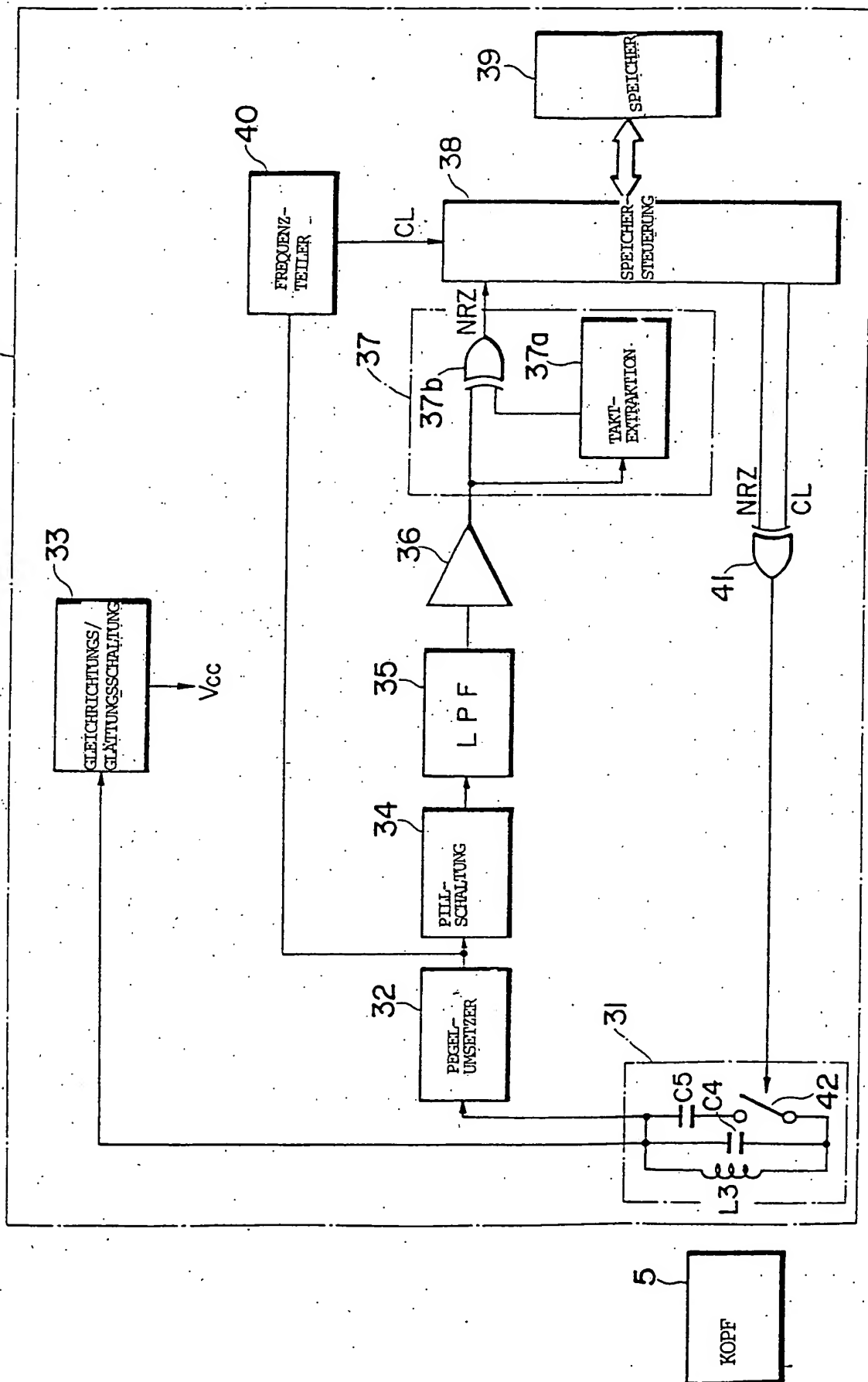


Fig.18



THIS PAGE BLANK (USPTO)